|  |  |
| --- | --- |
| **Gerb-BMSTU_01** | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6) \_\_\_\_\_\_

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.01 Информатика и вычислительная техника**

**Отчет**

**по лабораторной работе № 2**

**Название:**  **ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ**

**Дисциплина: Архитектура ЭВМ**

**Вариант: 15**

Студент гр. ИУ7-45Б **\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_**  О.Н.Талышева

(Подпись, дата) (И.О. Фамилия)

Преподаватель  **\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_** \_\_А.Ю. Попов\_\_\_\_

(Подпись, дата) (И.О. Фамилия)

2024 год

Цель работы: изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

В процессе выполнения лабораторной работы было сделано:

1. Исследование линейного двухвходового дешифратора с инверсными выходами

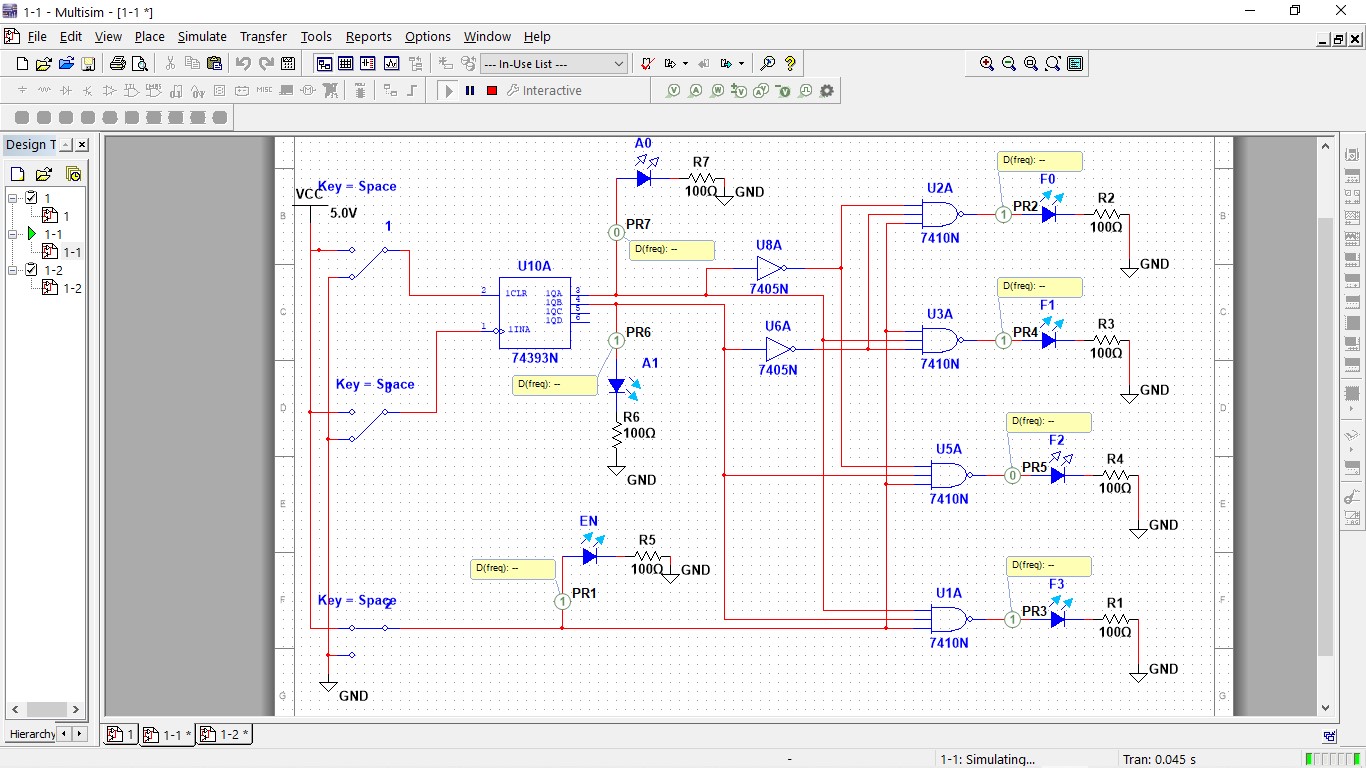
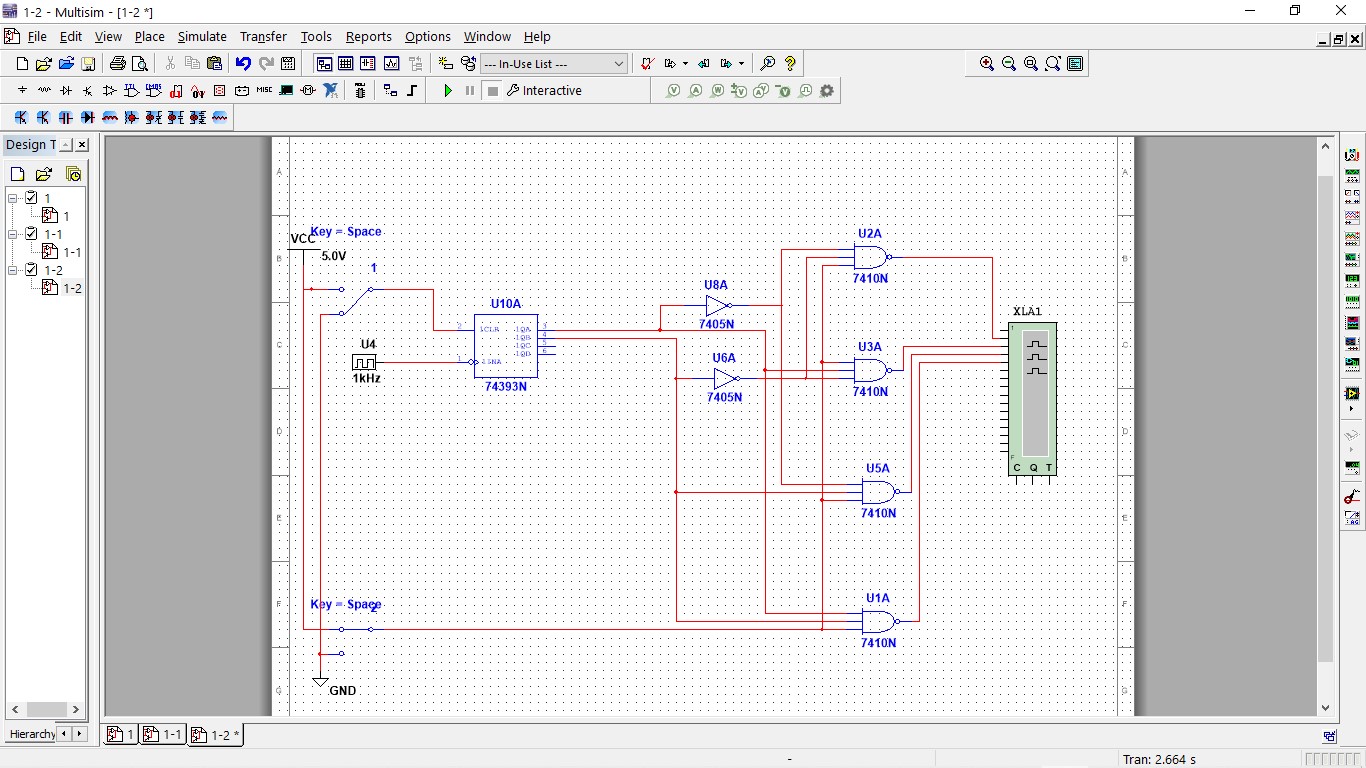
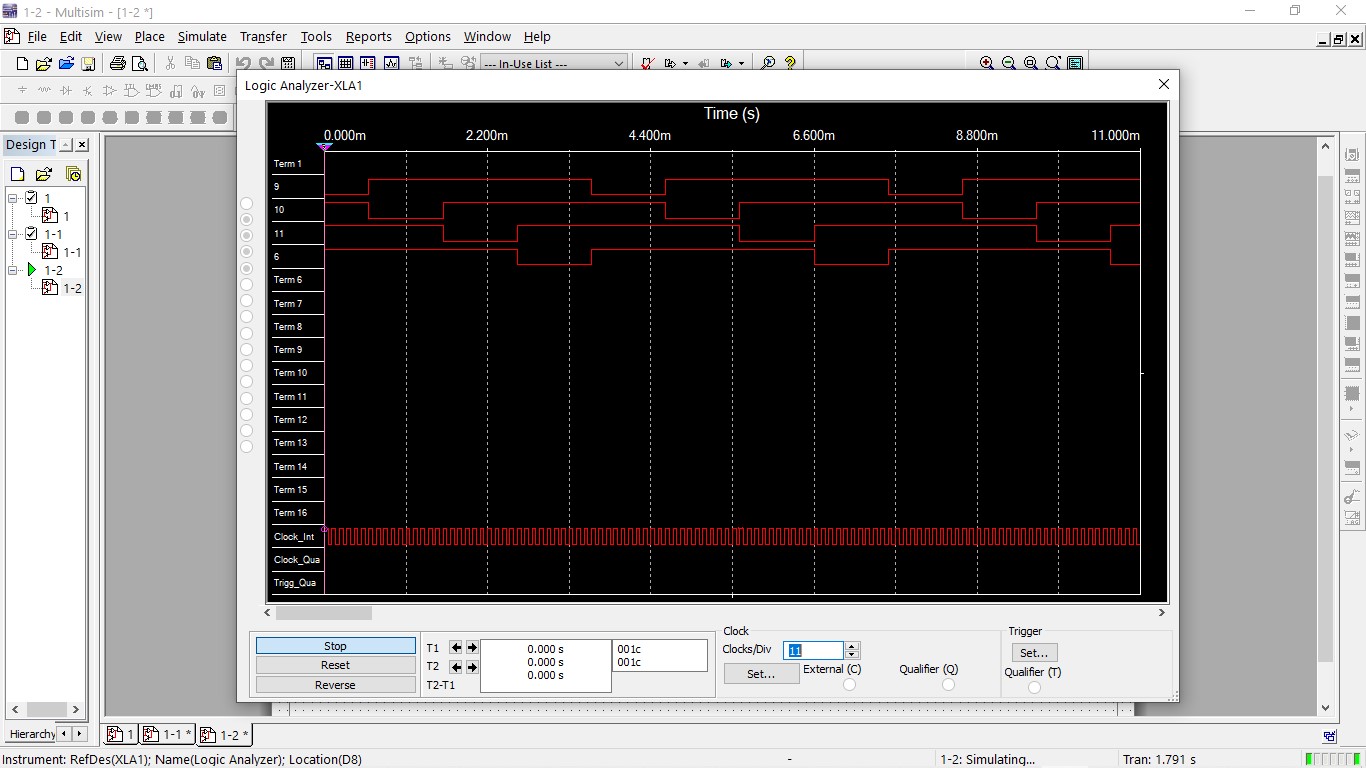


Таблица истинности:

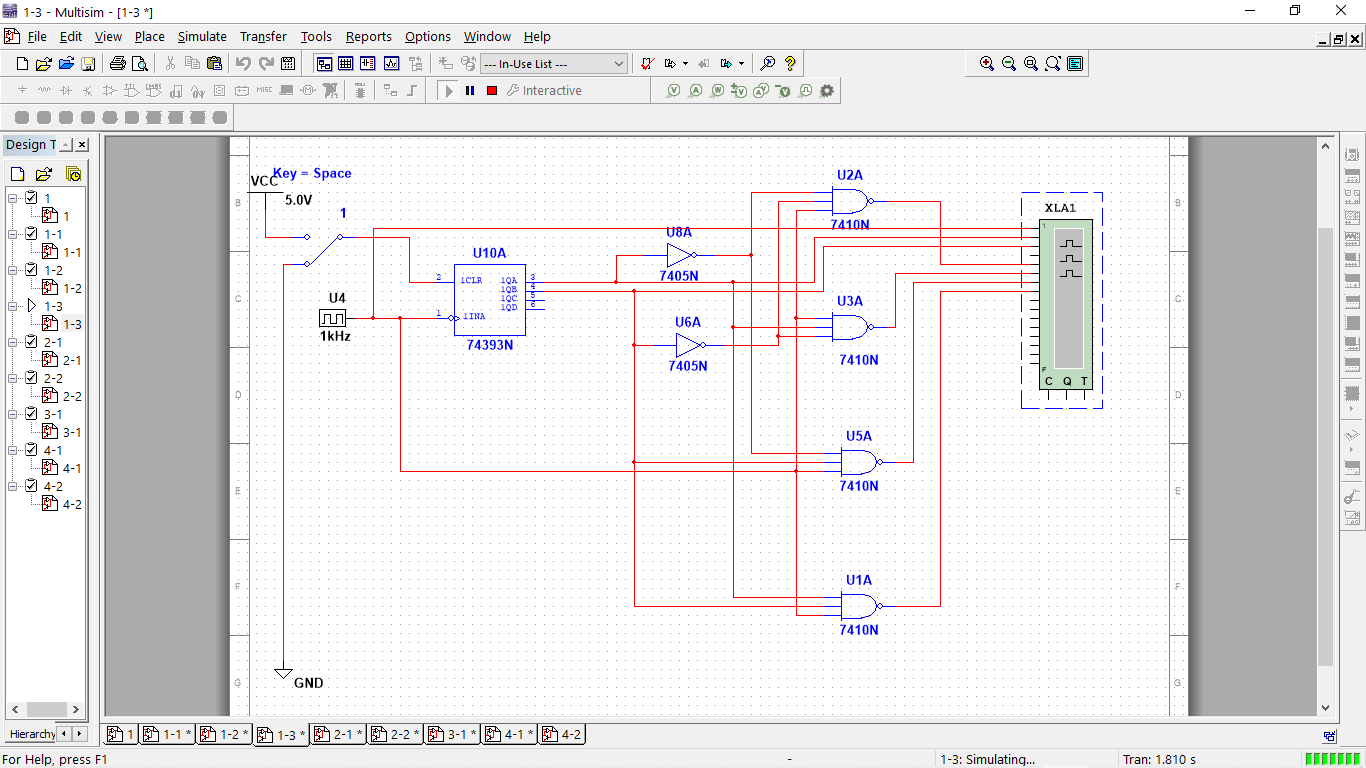
|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| EN | A0 | A1 | F0 | F1 | F2 | F3 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 |



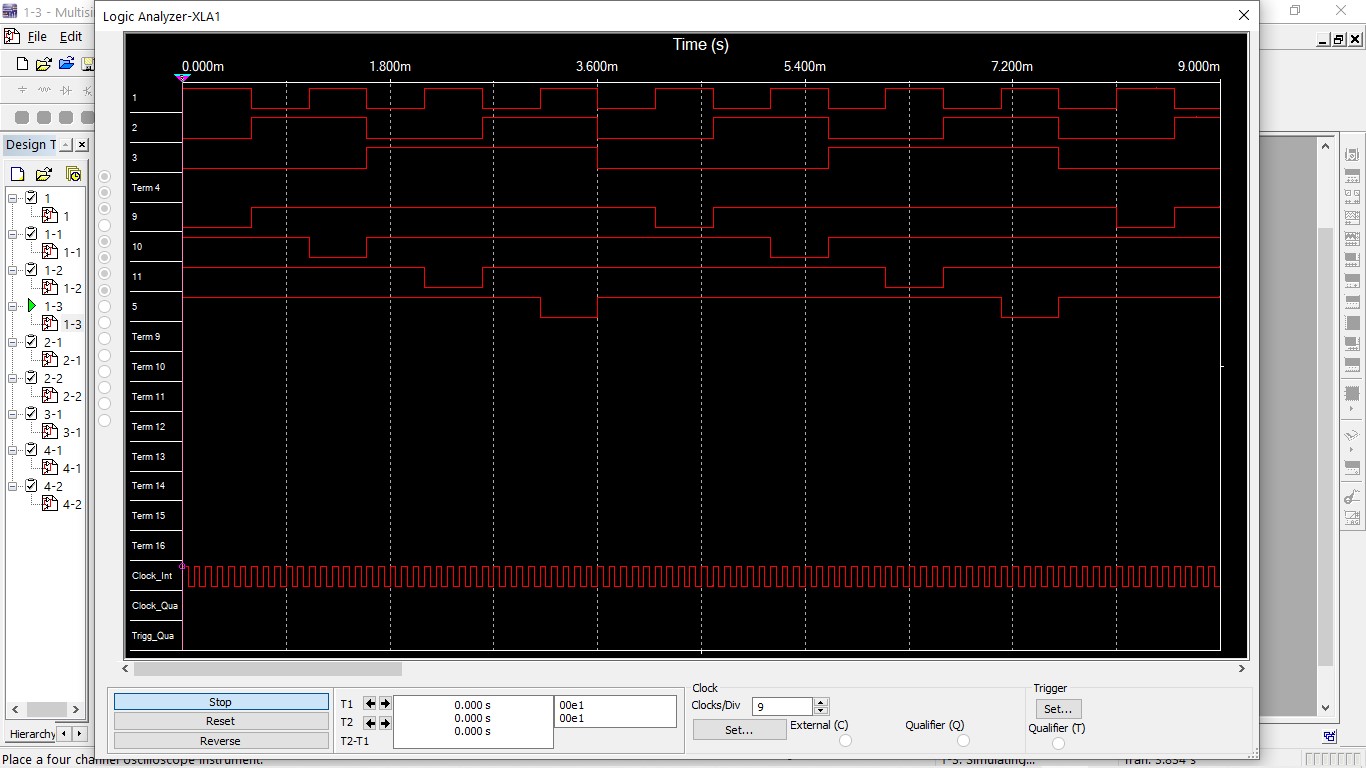
Временная диаграмма:



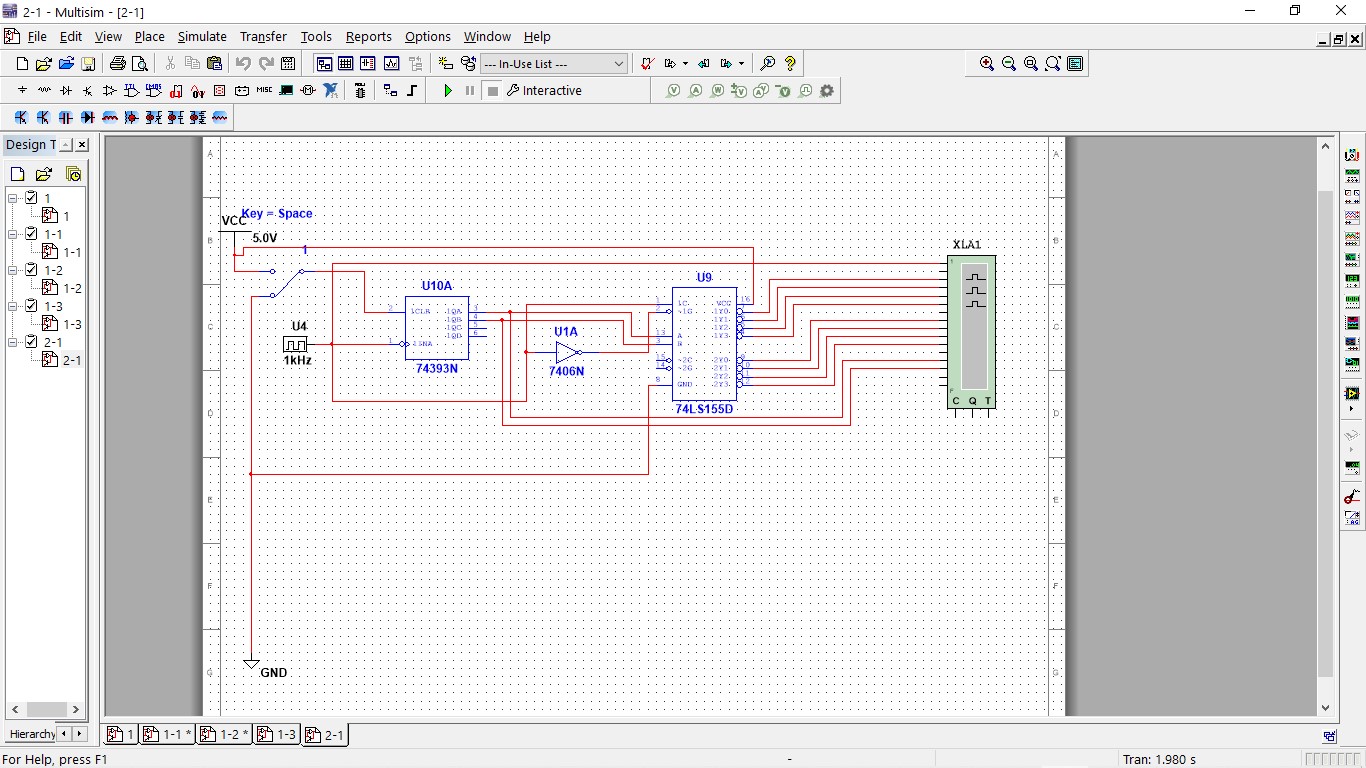
В качестве стробирующего сигнала используется сигнал генератора:



Временная диаграмма:



1. Исследование дешифраторов ИС К155ИД4 (74LS155)



Временная диаграмма:

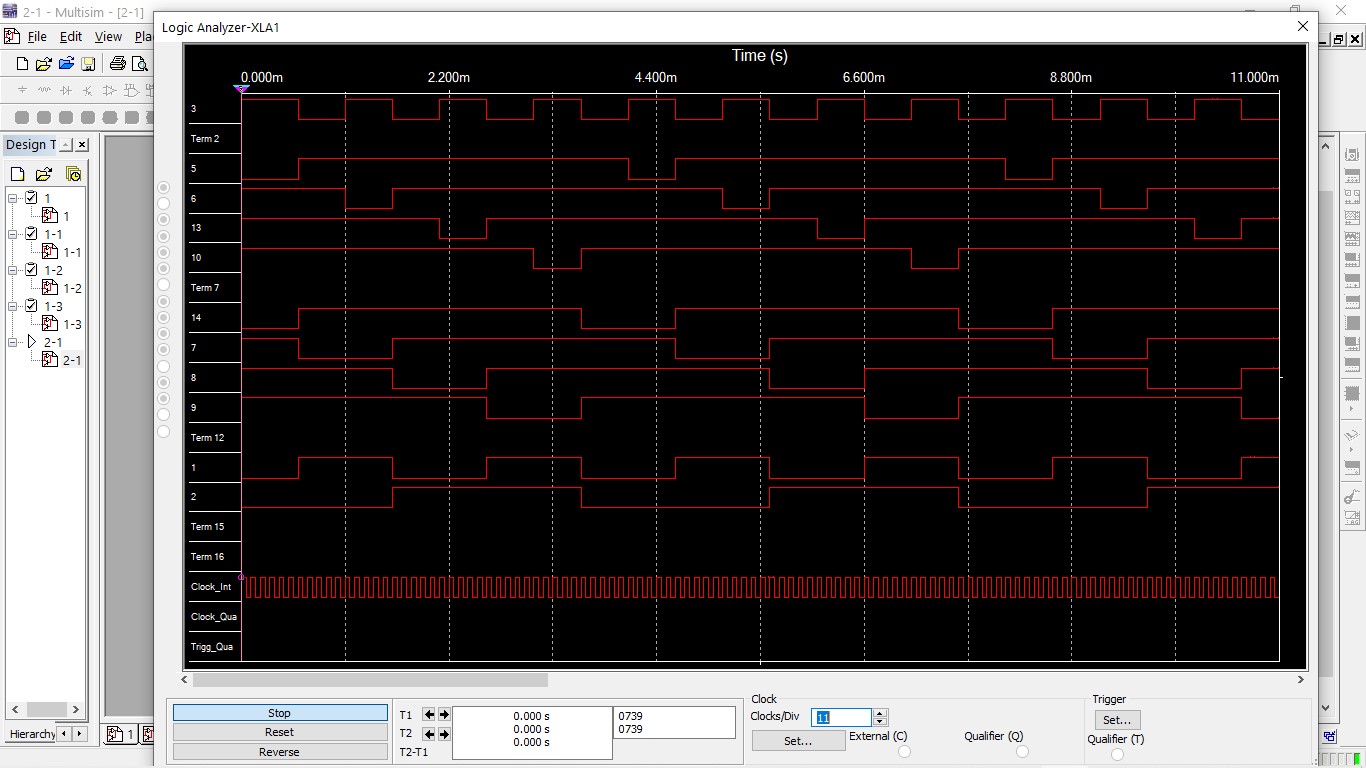
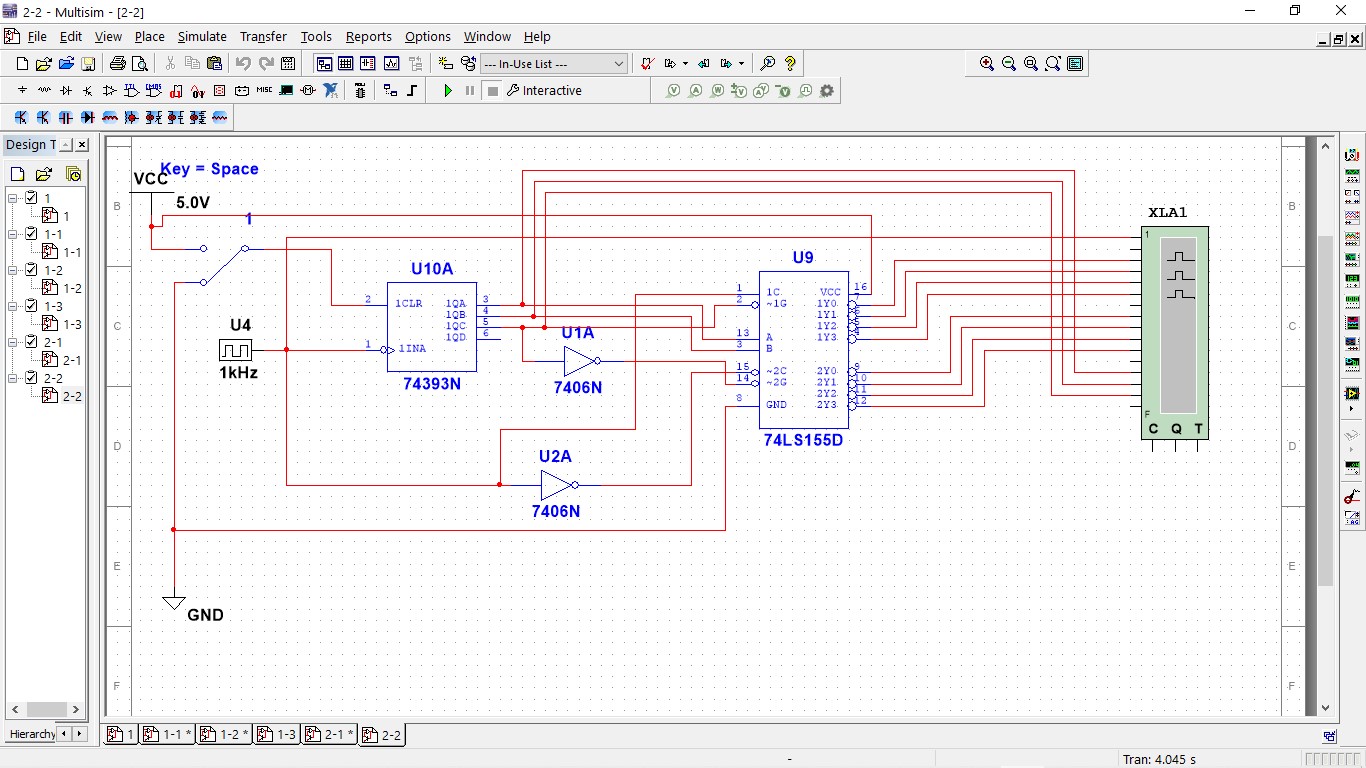


Схема трехвходового дешифратора на основе дешифратора К155ИД4:



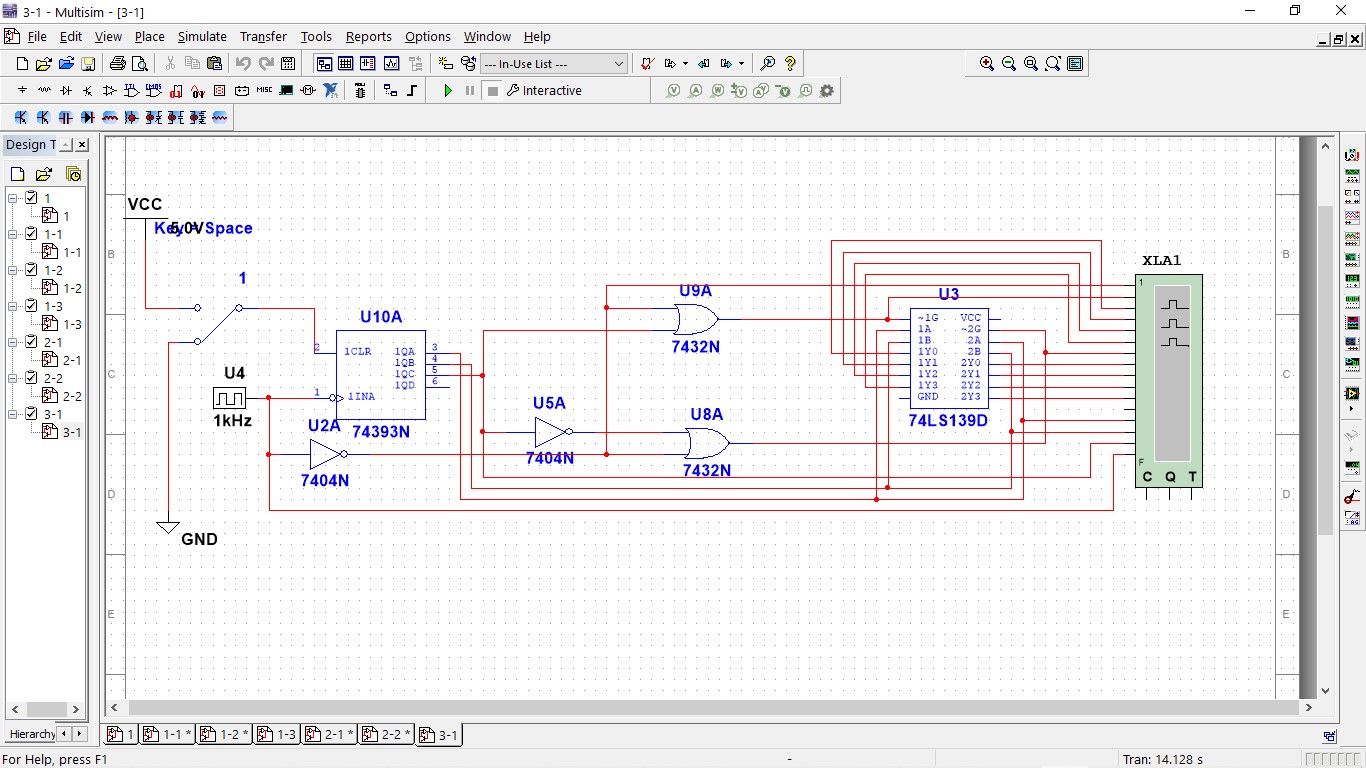
Временная диаграмма:



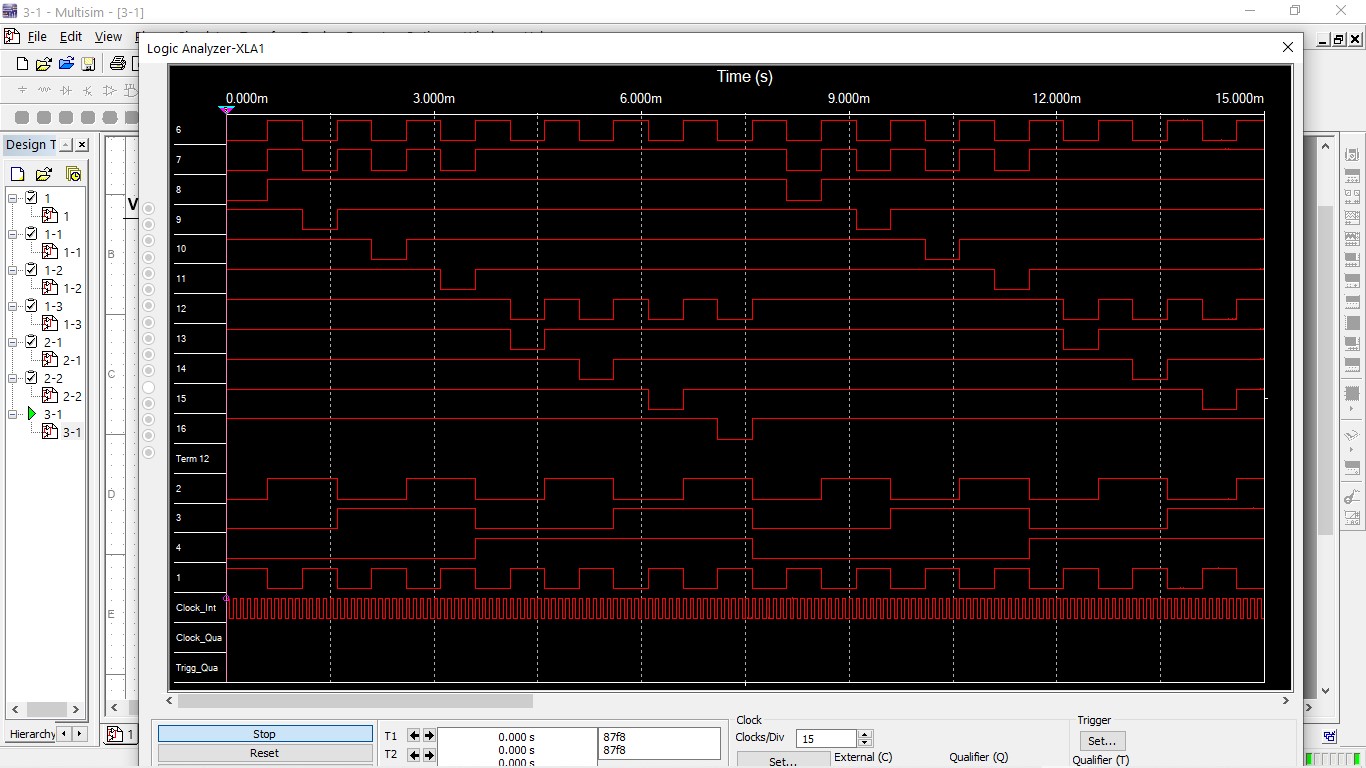
Таблица истинности:

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| A2 | A1 | A0 | F0 | F1 | F2 | F3 | F4 | F5 | F6 | F7 |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

1. Исследование дешифраторов ИС КР531ИД14 (74LS139)

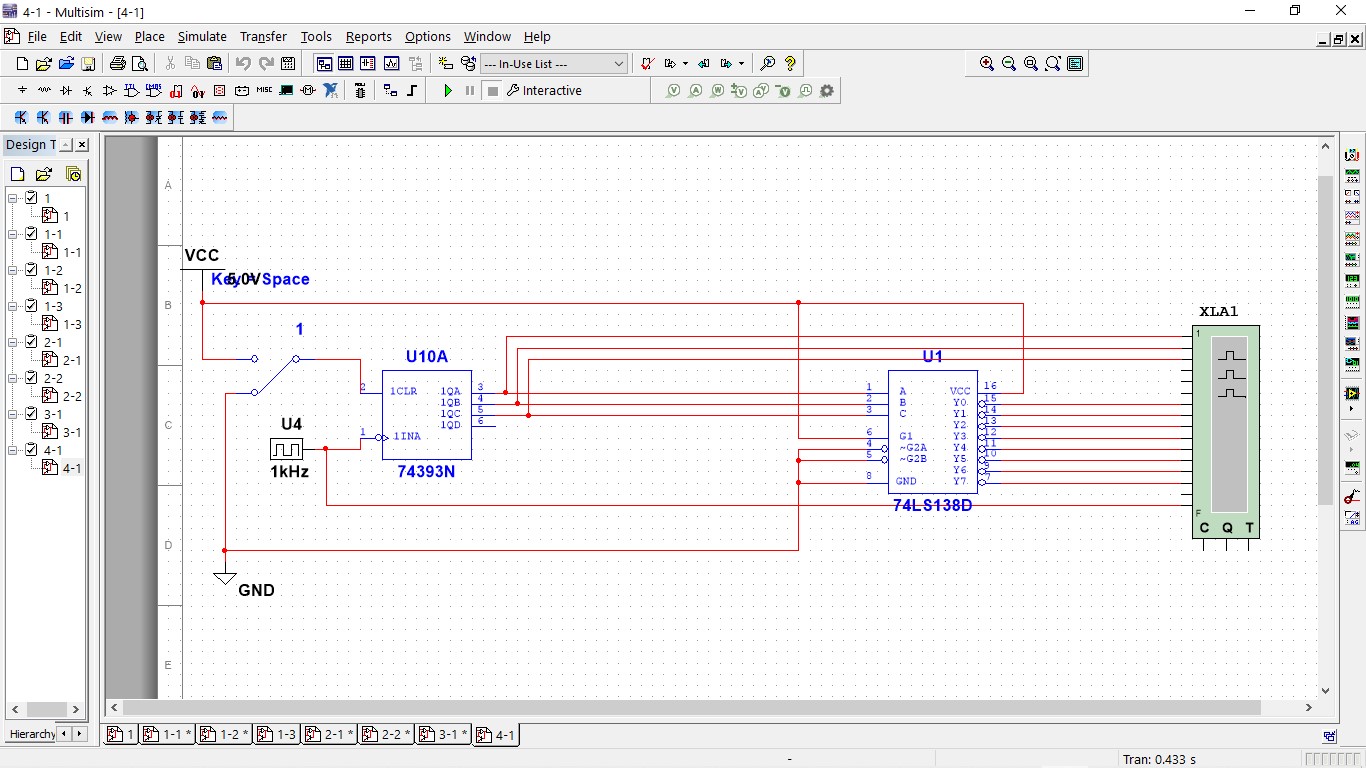


Временная диаграмма:



1. Исследование работоспособность дешифраторов ИС 533ИД7 (74LS138)

Схема нестробируемого дешифратора DC 3-8 ИС 533ИД7:



Временная диаграмма:

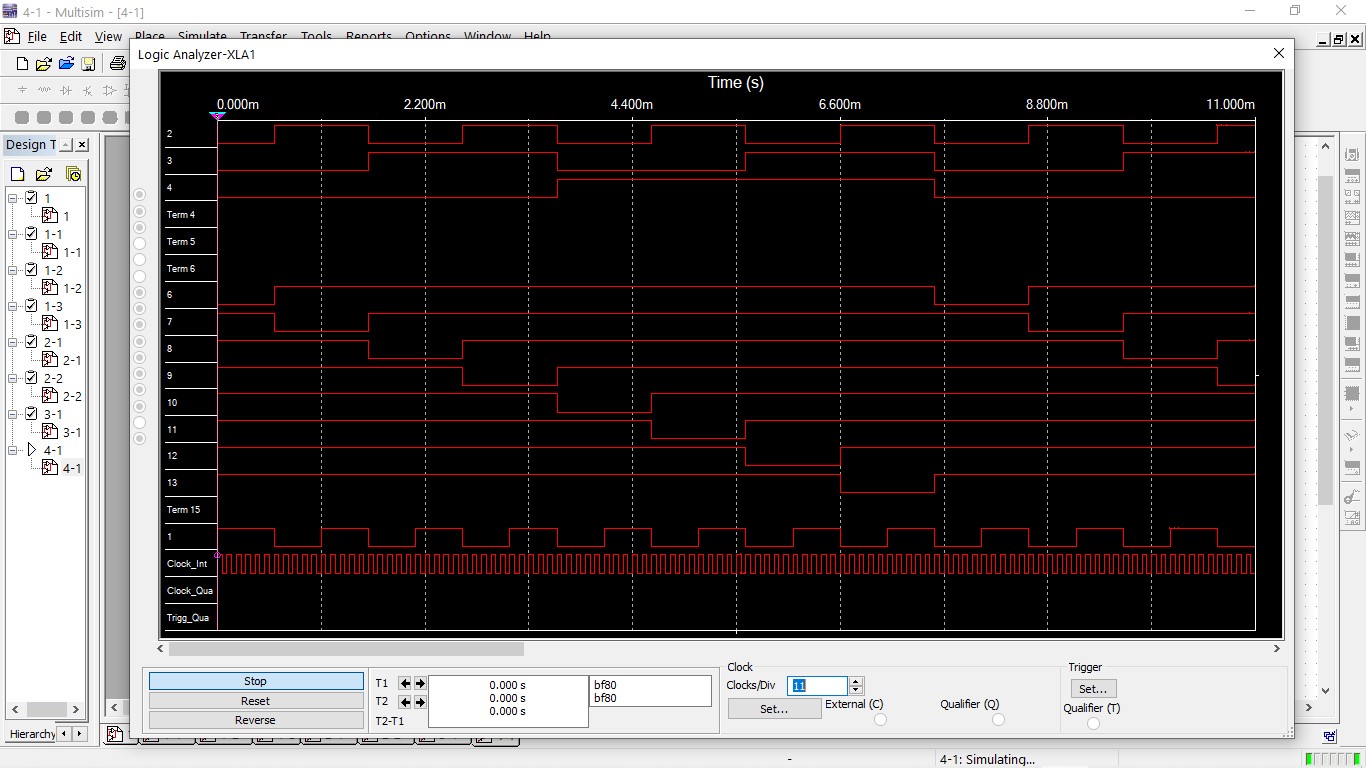
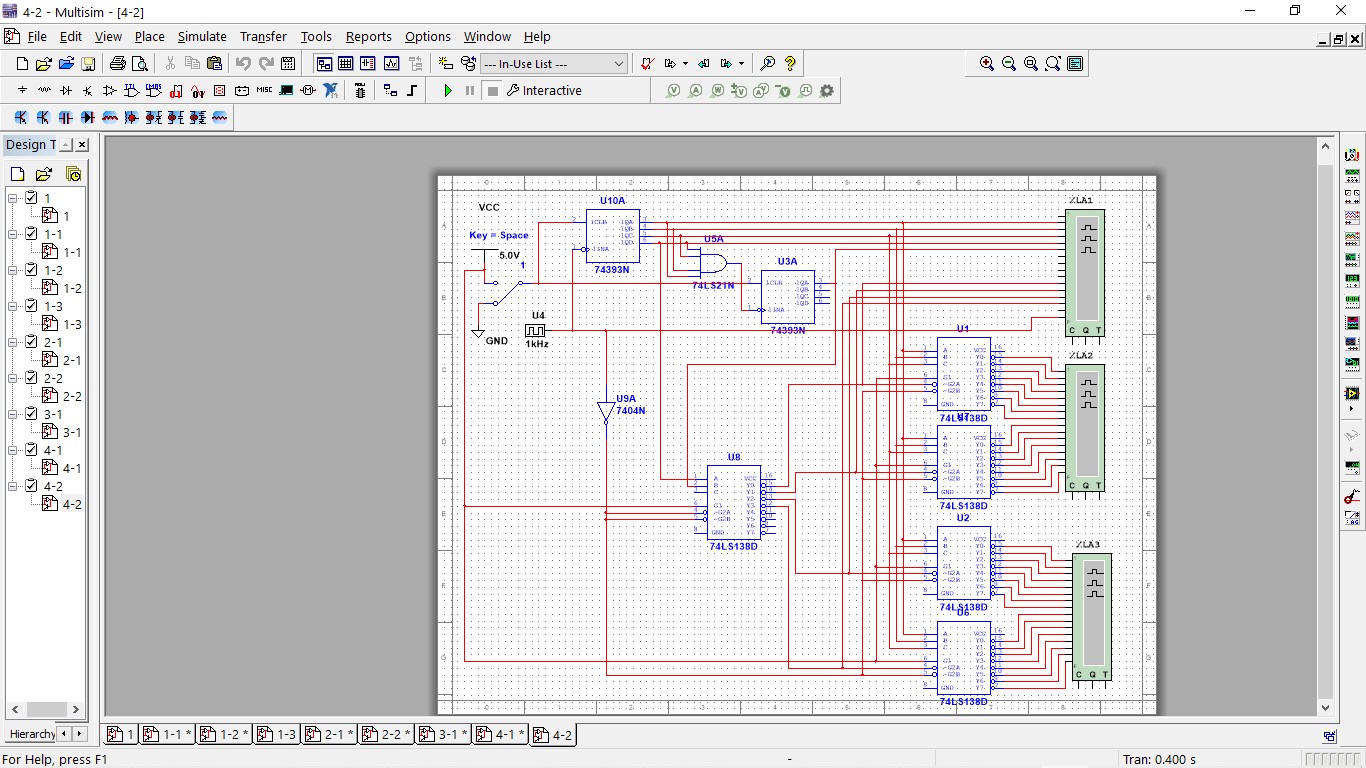
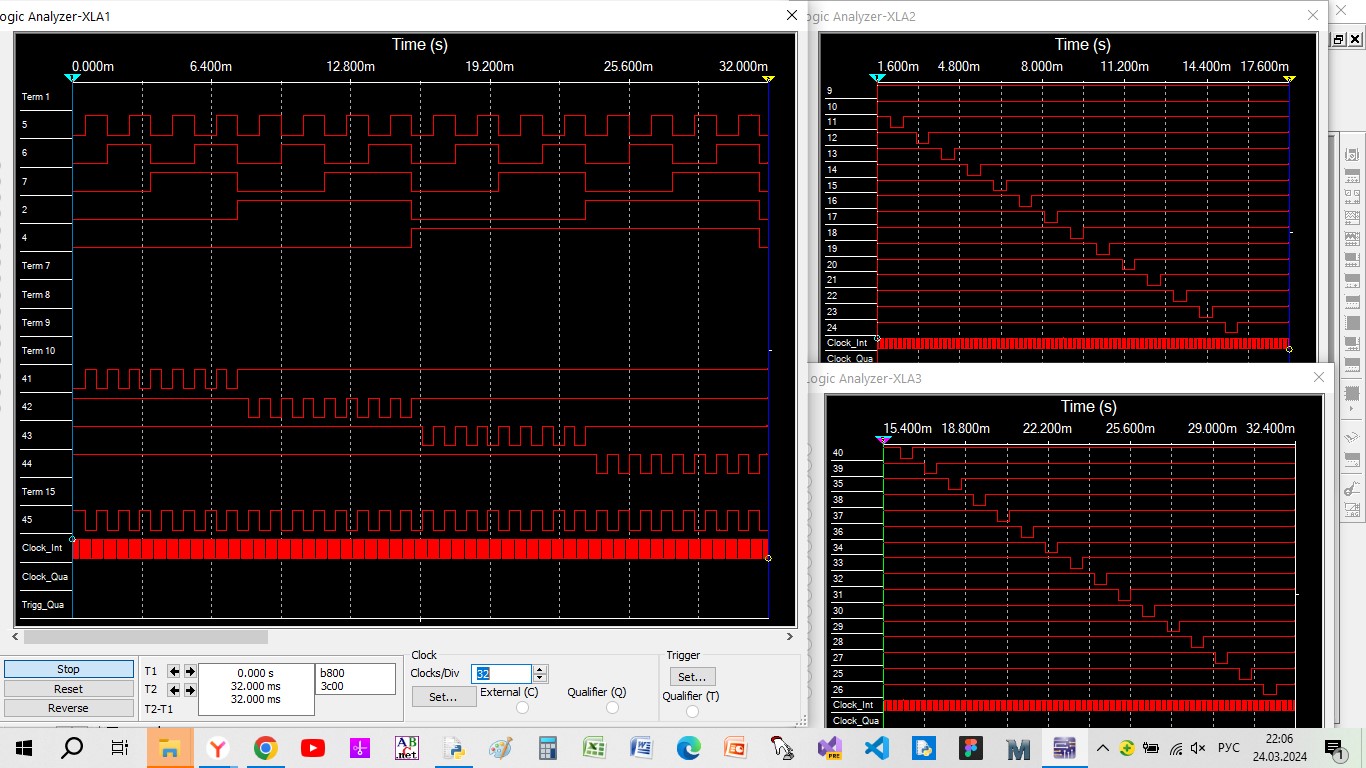


Схема дешифратора DC 5-32:



Временная диаграмма:



Контрольные вопросы

1. Что называется дешифратором?

Дешифратором называется комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

1. Какой дешифратор называется полным (неполным)?

Дешифратор, имеющий 2n выходов, называется полным, при меньшем числе выходов - неполным.

1. Определите закон функционирования дешифратора аналитически и таблично.

Функционирование дешифратора DC n-N определяется таблицей истинности:

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Входы | | | | | | | Выходы | | | | | |
| EN | An-1 | An-2 | An-3 | … | A1 | A0 | F0 | F1 | F2 | … | FN-2 | FN-1 |
| 0  1  1  1  .  .  .  1  1 | ×  0  0  0  .  .  .  1  1 | ×  0  0  0  .  .  .  1  1 | ×  0  0  0  .  .  .  1  1 | …  …  …  …  …  …  … | ×  0  1  0  .  .  .  1  1 | ×  1  0  0  .  .  .  0  1 | 0  1  0  0  .  .  .  0  0 | 0  0  1  0  .  .  .  0  0 | 0  0  0  1  .  .  .  0  0 | …  …  …  …  …  …  … | 0  0  0  0  .  .  .  1  0 | 0  0  0  0  .  .  .  0  1 |

Аналитическое описание дешифратора можно представить совокупностью логических функций в СДНФ:

F0 = EN \* ⌐An-1 \* ⌐An-2 \* … \* ⌐Ai \* ⌐A1 \* ⌐A0,

F1 = EN \* ⌐An-1 \* ⌐An-2 \* … \* ⌐Ai \* ⌐A1 \* A0,

F2 = EN \* ⌐An-1 \* ⌐An-2 \* … \* ⌐Ai \* A1 \* ⌐A0,

. . . . . . .

FN-2 = EN \* An-1 \* An-2 \* … \* Ai \* A1 \* ⌐A0,

FN-1 = EN \* An-1 \* An-2 \* … \* Ai \* A1 \* A0,

где Ai (i = 0 … (n − 1)) i - входные сигналы (переменные) дешифратора,

Fj (j = 0 … (N − 1)) j - выходные сигналы (функции) дешифратора,

EN- сигнал разрешения (стробирования) работы дешифратора.

Функции являются также минимальными ДНФ и минимальными КНФ.

1. Поясните основные способы построения дешифраторов.

Схемы построения дешифратора. По способу построения дешифраторы разделяют на линейные и каскадные. Разновидностями последних являются пирамидальные и ступенчатые дешифраторы. Линейный дешифратор строится в соответствии с системой функцией (1) и представляет собой 2n конъюнкторов или логических элементов (ЛЭ) ИЛИ-НЕ с n-входами каждый при отсутствии стробирования и с (n+1) входами - при его наличии.

Пирамидальный дешифратор. Строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную A2 (⌐A2). На третьем этапе каждую из полученных выше конъюнкций трех переменных умножают на A3 (⌐A3) и т.д. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкции, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). На рис. 1 показан вход разрешения EN. Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе.

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Принцип наращивания числа адресных входов дешифратора.

Пусть для построения сложного дешифратора DC n-N используются простые дешифраторы DC n1-N1, причем n1 n, следовательно и N1 N.

1. Число каскадов равно К = n/n1. Если К – целое число, то во всех каскадах используются полные дешифраторы DC n1-N1. Если К – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор DC n1-N1.

2. Количество простых дешифраторов DC n1-N1 в выходном каскаде равно N/N1, в предвыходном - N/N1 2 , в предпредвыходном - N/N1 3 и т.д.; во входном каскаде - N/N1 к . Если N/N1 к – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.

3. В выходном каскаде дешифрируются n1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.

4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и тд.

Также для наращивания дешифратора используется стробирующий вход.